SP2-120 LAN-Baugruppe

Hauptbaugruppe

Änderungshistorie

REV	DATUM	SEITEN	BESCHREIBUNG	SIGNATUR
0.00.01	2020-05-31	alle	Dokument erstellt	HW
0.00.02	2020-06-07	alle	Änderungen gemäß Review MW eingepflegt	HW

Inhaltsverzeichnis

SEITE	BESCHREIBUNG
1	Titel, Hinweise, Änderungshistorie, Inhaltsverzeichnis
2	Businterface
3	CRC
4	Data Serializer
5	Logik Rx PHY zu FIFO
6	Logik Tx FIFO zu PHY
7	PHY-Modul und Teststecker
8	
9	
10	
11	
12	
13	
14	
15	
16	
17	
18	
19	
20	
21	
22	
23	
24	
25	
26	
27	
28	
29	
30	
31	
32	
33	
34	
35	
36	
37	
38	
39	
40	
41	
42	
43	
44	
45	
46	
47	
48	
49	
50	
51	
52	
53	
54	
55	
56	
57	
58	
59	
60	
61	
62	
63	
64	
65	
66	
67	
68	
69	
70	
71	
72	

Offene Dinge

BESCHREIBUNG
SCHALTPLAN
LAYOUT
WEITERES

Hinweis: Alle Bauteilwerte sind als Referenz angegeben, verbindlich ist allerdings nur die jeweils aktuelle Stückliste.

TIGRIS Elektronik GmbH

Teltowkanalstr.2
12247 Berlin

Tel: +49 (30) 7688 083-0
Web: http://www.tigris.eu
Mail: info@tigris.eu

Title: SP2-120 LAN-Hauptbaugruppe — Titelseite		
Size: A3	Document Number: TIGRIS Artikel-Nummer: SP2-120	Rev: see title
Date: Sunday, June 07, 2020	Sheet 1 of 7	

Busanschluss

J5102 =VME J2/P2 VG96ABC

J5101 =VME J1/P1 VG96ABC

1 3/3 irq/spare10 irq/spare11 irq/spare12 irq/spare13 irq/spare14

1 1/3 #ext_int

clk_in #reset #wait #reset_ext

mem_addr0 … mem_addr31 (A25/B25 … A32/B32)

mem_d0 … mem_d31 (A1/B1 … A32/B32)

#ram_we0 #ram_we1 #ram_we2 #ram_we3 #mem_oe

VCC -12V +12V

U44 74F521 · U48 74F521 · RN1 8X10KSIL9

HEX Komplement
fec 108-2481
mou 642-PT65106

RN2 8X10KSIL9 · S1 PT65-106 · S2 PT65-106

Decoder schreiben

U50 74F138 · U51 74F138

U74C 74F32

U541 74ACT245 · U542 74ACT245 · U543 74ACT245 · U544 74ACT245

RN3 8X10KSIL9 · RN4 8X10KSIL9 · RN5 8X10KSIL9 · RN6 8X10KSIL9

Reg LUT SEL

U67 74F273

U60A 74F04 · U60B 74F04 · U60C 74F04

Reg CONTROL

U52 74F273 · U53 74F245

74F245 anstelle von 74125

U111 74F245

U60D 74F04 · U19A 74F08 · U60E 74F04 · U60F 74F04 · U68F 74F04 · U68A 74F04

U201 74ABT245

Reg STATUS

U59 74F245

lancard_detect

mem_inbox ist das gleiche wie dbusxx, daher an dieser Stelle ind dbusxx umbenannt

U99A 74ABT125 · U31D 74F02

#ext_int BR5 0R0 · irqspare10 BR6 0R0 · irqspare11 BR7 0R0 · irqspare12 BR8 0R0 · irqspare13 BR9 0R0 · irqspare14 BR10 0R0

Test

J4 HEADER 17X2

Ungenutzte Elemente

U99B 74ABT125 · U99C 74ABT125 · U99D 74ABT125

Oszi-Massepunkte

GND1 GND2 GND3 GND4 GND5

Statische Pegel

R1 1K · R2 1K · R3 1K · R4 1K

BR1 0R0 · BR2 0R0 · BR3 0R0 · BR4 0R0

Entkopplung

CA444 100nF · CA448 100nF · CA50 100nF · CA51 100nF · CA541 100nF · CA542 100nF · CA543 100nF · CA544 100nF · CA67 100nF · CA52 100nF · CA53 100nF · CA111 100nF · CA57 100nF · CA59 100nF · CA60 100nF · CA68 100nF · CA201 100nF · CA19 100nF · CA99 100nF

CAT1 10uF 20V · CAT2 10uF 20V · CAT3 10uF 20V · CAT4 10uF 20V · CAT5 10uF 20V · CAT6 10uF 20V

TIGRIS Elektronik GmbH
Teltowkanalstr.2
12247 Berlin
Tel: +49 (30) 7688 083-0
Web: http://www.tigris.eu
Mail: info@tigris.eu

Title	SP2-120 LAN-Hauptbaugruppe — Businterface
Size A1	Document Number: TIGRIS Artikel-Nummer: SP2-120 — Rev see title
Date: Sunday, June 07, 2020	Sheet 2 of 7

von/zu Businterface Blatt 2

von Data Serializer Blatt 4

crc8 = crc8_table[(crc ^ byte)& 0xFF];
crc16 = (crc16 << 8) ^ crc16_table[((crc16 >> 8) ^ byte) & 0xFF];
crc32 = (crc32 << 8) ^ crc32_table[((crc32 >> 24) ^ byte) & 0xFF];

CRC32 Register

Entkopplung

TiGRIS Elektronik GmbH
Tettowkanalstr.2
12247 Berlin
Tel: +49 (30) 7688 083-0
Web: http://www.tigris.eu
Mail: info@tigris.eu

Title	SP2-120 LAN-Hauptbaugruppe
	CRC
Size	A1
Document Number	TiGRIS Artikel-Nummer: SP2-120
Rev	see title
Date:	Sunday, June 07, 2020
Sheet	3 of 7

Von/zu RX-Logik Blatt 5

RX SIZE FIFO

4096 x 9 Bit

M1
FIFO-MODUL_IDT72241L

RX DATA FIFO

2x 4096 x 9 Bit

M2
FIFO-MODUL_IDT72241L

M3
FIFO-MODUL_IDT72241L

TX FIFO

4096 x 9 Bit

M4
FIFO-MODUL_IDT72241L

zu Blatt 6 Logik TX->PHY

Von/zu Businterface Blatt 2

zu CRC Blatt 3

zu Blatt 3 CRC

Von/zu Businterface Blatt 2

Test

ungenutzte Elemente

Entkopplung

Title	SP2-120 LAN-Hauptbaugruppe — Data Serializer
Size	A1
Document Number	TIGRIS Artikel-Nummer: SP2-120
Rev	see title
Date:	Sunday, June 07, 2020
Sheet	4 of 7

TIGRIS Elektronik GmbH
Teltowkanalstr.2
12247 Berlin
Tel: +49 (30) 7688 083-0
Web: http://www.tigris.eu
Mail: info@tigris.eu

Von PHY Blatt 7

rxdv

rxd0
rxd1
rxd2
rxd3

rxclk

4B -> 8B Nibble mit LSB kommt zuerst

U75 74F377

U68E 74F04

U76 74F521

0xD5

SFD und DV

RXDV LOW -> CLR

SFD->RXDV "durchlassen"

U77A 74F74

U77B 74F74

1 Takt Verzögerung zum Start durch U75
der SFD wird nicht gespeichert und gezählt

1 Takt Verzögerung zum Ende durch U77B
für DV = 0 im FIFO

U81C 74F32

rxfifo_dv_src

rxfifo_dv

Von/zu Data Serializer Blatt 4

rxfifo_dv

rxdat0
rxdat1
rxdat2
rxdat3
rxdat4
rxdat5
rxdat6
rxdat7

Packetcounter

U83 74AS867

rx_packetcounter_out0
rx_packetcounter_out1
rx_packetcounter_out2
rx_packetcounter_out3
rx_packetcounter_out4
rx_packetcounter_out5
rx_packetcounter_out6
rx_packetcounter_out7

irx_size_wen

Paketgrößenzähler und
nWEN-Impuls Erzeuger
Paketgröße in Words!

U78 74AS867

U79 74AS867

rx_size0
rx_size1
rx_size2
rx_size3
rx_size4
rx_size5
rx_size6
rx_size7
rx_size8

count 0 für grades nibble = ein byte
sowie DV aktiv (negierte Logik)

1 Takt DV = LOW wird benötigt

U80B 74F74

U81A 74F32

U82A 74F08

U81B 74F32

irx_wen

irx_size_wen_src

1 Takt Verzögerung
sonst wird ein nulltes Byte gespeichert
gleichzeitig als DV H->L Erkennung

L wenn DC
H ->L Flanke
ein DV=0 noch in den FIFO mitschreiben

Von/zu Businterface Blatt 2

rx_fifo_overrun
rx_irq

irxfifo_full

U98B 74F74

rx_err
rx_fifo_overrun

iIRQ_rx_clear
IRQ_rx_enable

ires3

U82C 74F08

U80A 74F74

U82B 74F08

Test

rxfifo_dv_src
irx_size_wen_src

rxfifo_dv
irx_size_wen

Ungenutzte Elemente

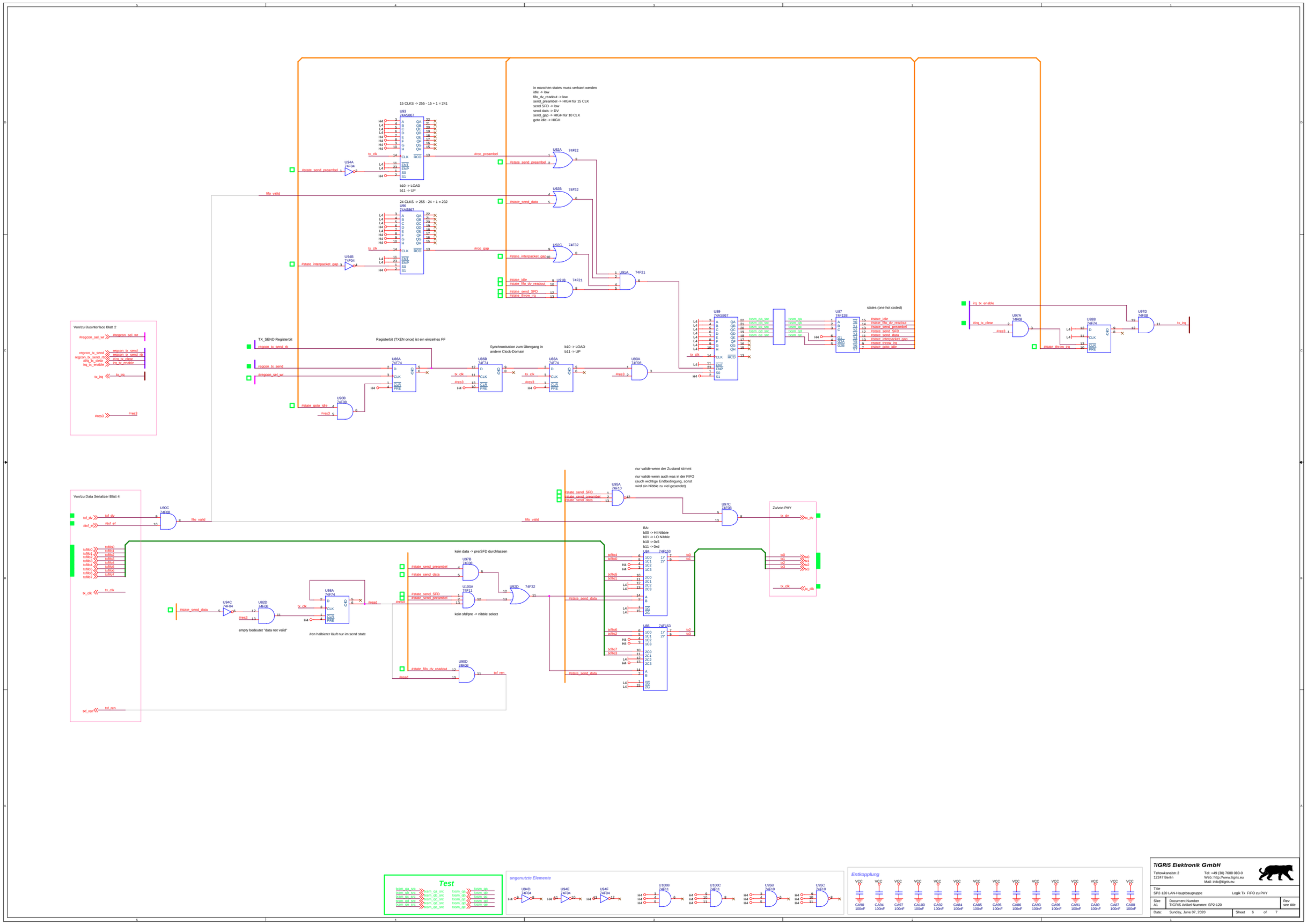
U81D 74F32

Entkopplung

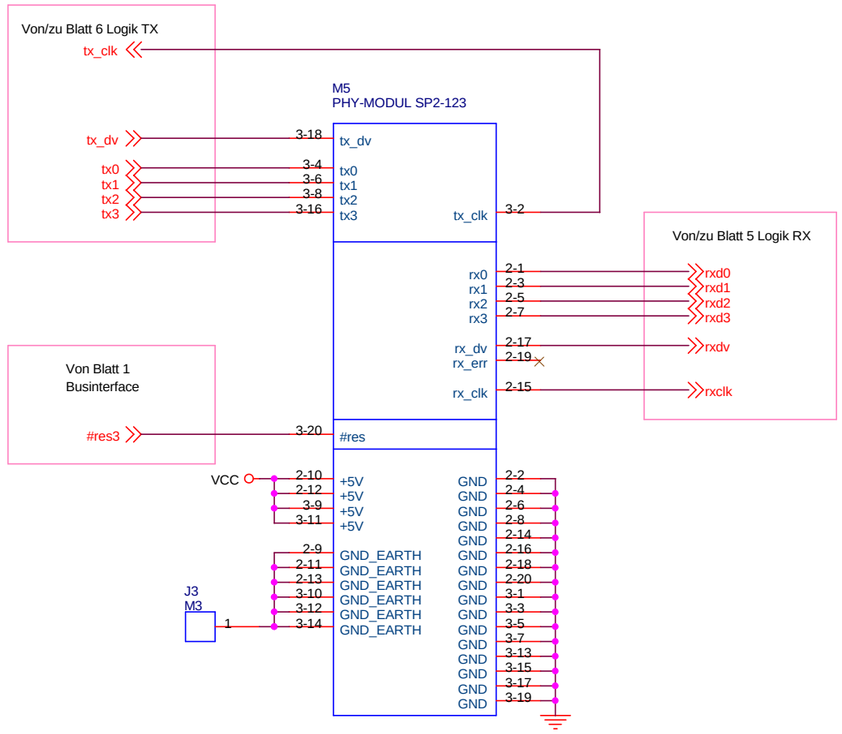
CA75 100nF
CA76 100nF
CA77 100nF
CA81 100nF
CA78 100nF
CA79 100nF
CA80 100nF
CA82 100nF
CA98 100nF
CA83 100nF

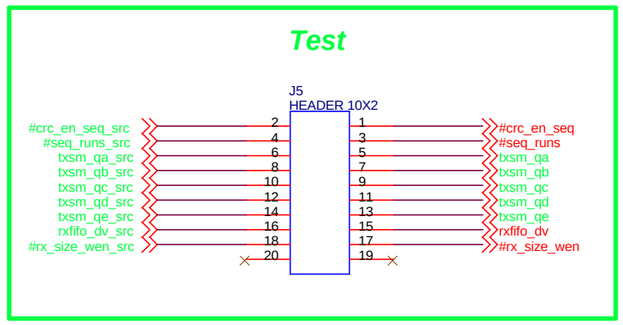
TIGRIS Elektronik GmbH
Tellowkanalstr.2
12247 Berlin
Tel: +49 (30) 7688 083-0
Web: http://www.tigris.eu
Mail: info@tigris.eu

Title	SP2-120 LAN-Hauptbaugruppe — Logik Rx PHY zu FIFO
Size A1	Document Number: TIGRIS Artikel-Nummer: SP2-120 — Rev see title
Date: Sunday, June 07, 2020	Sheet 5 of 7



in manchen states muss verharrt werden
idle -> low
fifo_dv_readout -> low
send_preambel -> HIGH für 15 CLK
send SFD -> low
send data -> DV
send_gap -> HIGH für 10 CLK
goto idle -> HIGH
15 CLKS -> 255 - 15 + 1 = 241
b10 -> LOAD
b11 -> UP
24 CLKS -> 255 - 24 + 1 = 232
TX_SEND Registerbit
Registerbit (TXEN once) ist ein einzelnes FF
Synchronisation zum Übergang in andere Clock-Domain
b10 -> LOAD
b11 -> UP
states (one hot coded)
Von/zu Businterface Blatt 2
Von/zu Data Serializer Blatt 4
nur valide wenn der Zustand stimmt
nur valide wenn auch was in der FIFO (auch wichtige Endbedingung, sonst wird ein Nibble zu viel gesendet)
Zu/von PHY
BA:
b00 -> HI Nibble
b01 -> LO Nibble
b10 -> 0x5
b11 -> 0x6
kein data -> pre/SFD durchlassen
kein sfd/pre -> nibble select
empty bedeutet "data not valid"
/ren halbierer läuft nur im send state
Test
ungenutzte Elemente
Entkopplung
TIGRIS Elektronik GmbH
Teltowkanalstr.2
12247 Berlin
Tel: +49 (30) 7688 083-0
Web: http://www.tigris.eu
Mail: info@tigris.eu
Title
SP2-120 LAN-Hauptbaugruppe
Logik Tx FIFO zu PHY
Size
A1
Document Number
TIGRIS Artikel-Nummer: SP2-120
Rev
see title
Date: Sunday, June 07, 2020
Sheet 6 of 7





TIGRIS Elektronik GmbH

Teltowkanalstr.2
12247 Berlin

Tel: +49 (30) 7688 083-0
Web: http://www.tigris.eu
Mail: info@tigris.eu

Title: SP2-120 LAN-Hauptbaugruppe — PHY-Modul		
Size: A3	Document Number: TIGRIS Artikel-Nummer: SP2-120	Rev: see title
Date: Sunday, June 07, 2020	Sheet 7 of 7	