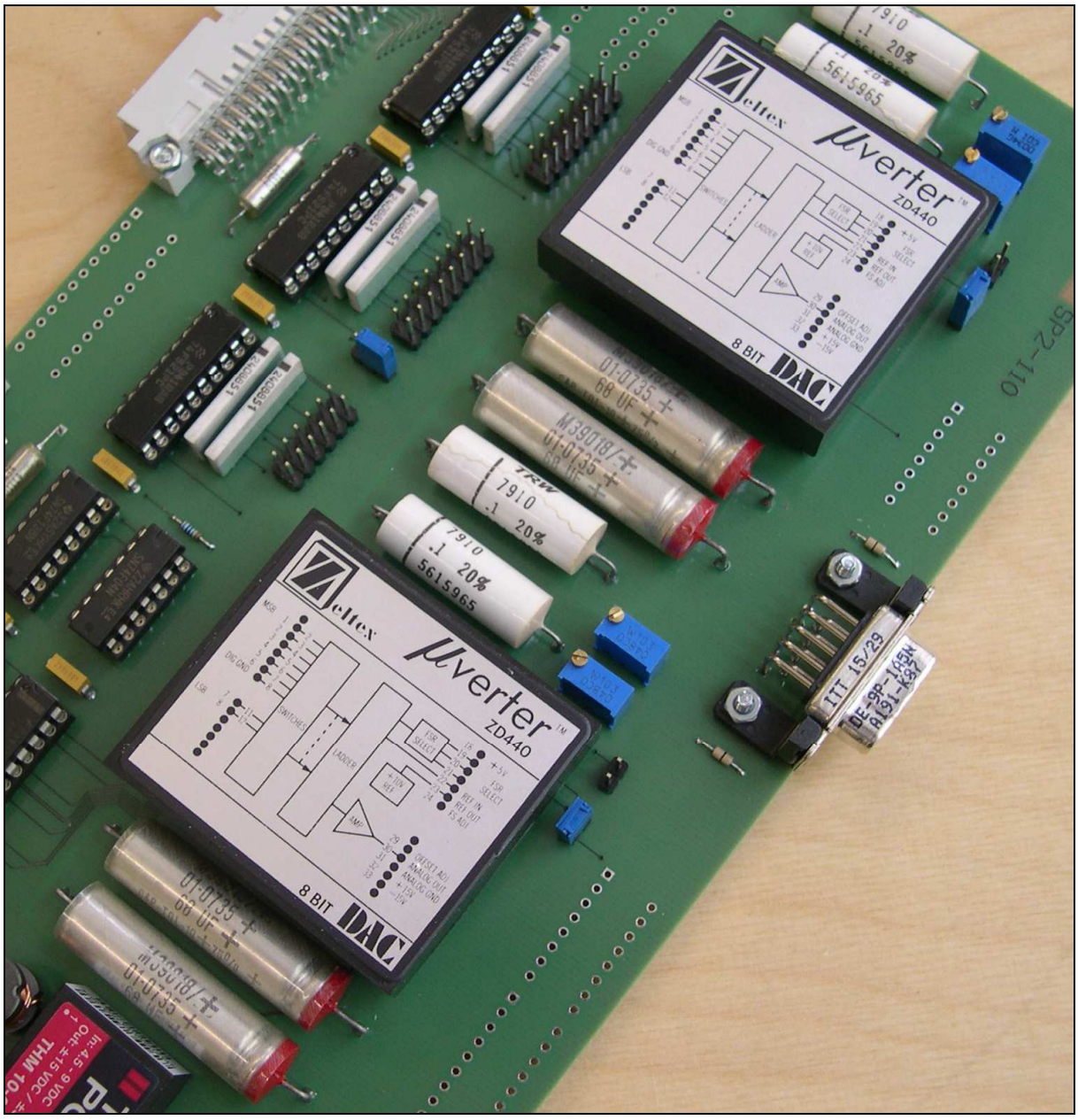
Die D/A-Karte SP2-110.

Von Henry Westphal



Die Dokumentation des Entwurfsprozesses

Es wurde die Entscheidung getroffen, einen technikgeschichtlich interessante, in diskreter Technik als Modul aufgebauten, D/A-Wandler des Typs ZELTEX ZD440 mit einer Auflösungvon 8 Bit einzusetzen. Ein Posten dieser Wandler wurde bei Ebay/USA beschafft. Ein Datenblatt für diesen Wandler ist nicht mehr auffindbar. Es wurde jedoch eine Doktorarbeit aus dem Jahr 1973 gefunden, in der ein Vektor-Grafiksystem beschrieben wurde, in dem dieser Wandler zur Ansteuerung der Ablenkung der Belichtungs-Bildröhre einegsetzt wurde. In dieser Arbeit war auch ein detaillierter Schaltplan vorhanden. Zudem ist auf dem Gehäuse dieser Wandler die Innenschaltung und die Pinbelegung aufgedruckt.

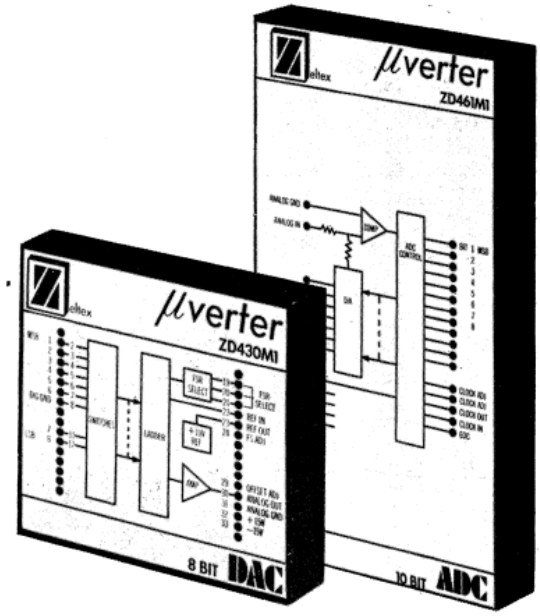
Die Schaltung der Baugruppe weist keinerlei Besonderheiten auf.

Die Adresse wird mit den Bausteinen U1001 bis U1005 in der bereits von anderen Karten des SPACE AGE 2 bekannten Weise decodiert. Die auszugebendne Analogwerte werden vom Datenbus (Bits 31..24) in die Register U2001 und U3001 geschrieben. Die Ausgänge dieser Register sind mit den Dateneingängen der D/A-Wandler verbunden.

Die Versorgungsspannung für den Analogteil der Wandler, +/-15V, wird mitdem DC/DC-Wandler U4001 aus der +5V-Hauptversorgung erzeugt.

Zeltex µverters

Convertisseurs
analogiques-digitaux
digitaux-analogiques
8, 10 et 12 bit binaires
2 et 3 digit BCD



Vous pouvez : faire vous-mêmes vos convertisseurs AD et DA !

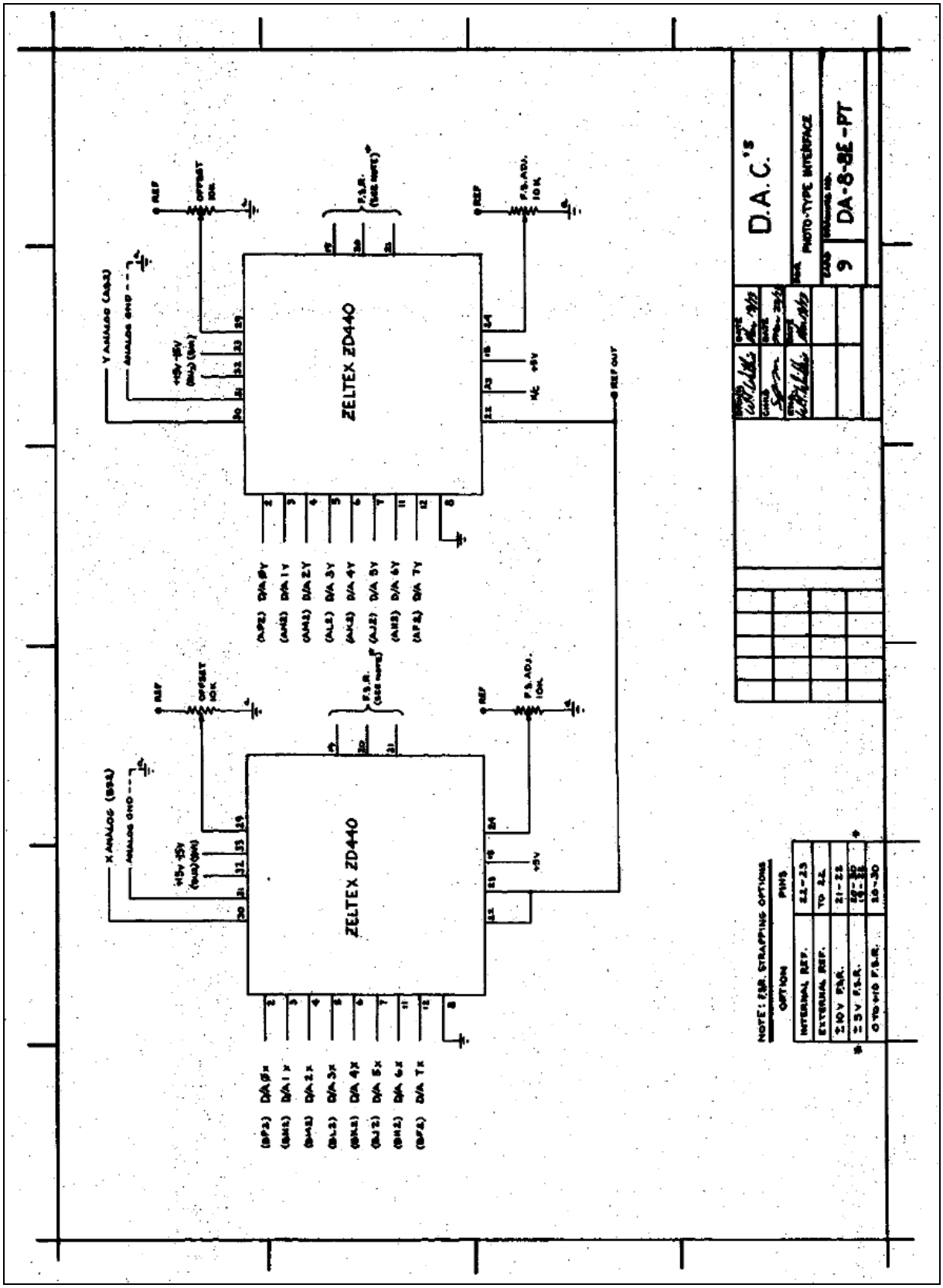
Mais : pouvez-vous les faire au même prix que ZELTEX ?

- Unités prêtes au montage, ne demandant que la tension d'alimentation
- Toutes les unités correspondant au standard DIP
- Entrées, resp. sorties, analogiques commutables 0-10 V, ±10 V et ±5 V
- Entrées, resp. sorties, digitales compatibles TTL/DTL
- Température de fonctionnement : 0° C-70° C, 20 ppM/°C TC
- Dimensions réduites : DAC's 4,5×4,4×1 cm, AD C' 4,5×9×1 cm

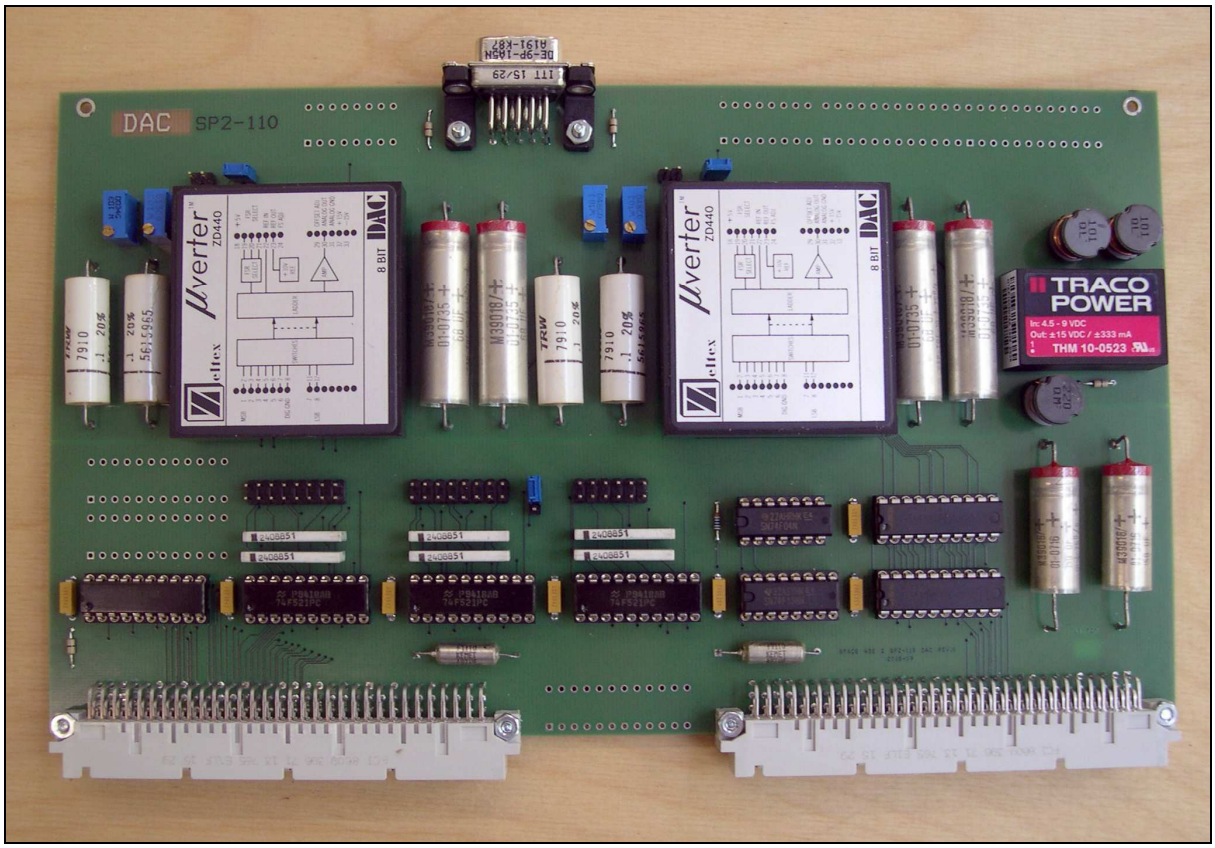
Type	Genre	Vitesse	Précision	Prix (par 10 pièces)
ZD 430	8 bit DAC	20 µs	½ LSB ± 0,1 %	Fr. 95.—
ZD 431	10 bit DAC	20 µs	½ LSB ± 0,1 %	» 145.—
ZD 432	12 bit DAC	20 µs	½ LSB ± 0,05 %	» 237.—
ZD 440	8 bit DAC	2 µs	½ LSB ± 0,1 %	» 145.—
ZD 441	10 bit DAC	2 µs	½ LSB ± 0,1 %	» 190.—
ZD 429	2 Digit DAC	20 µs	½ LSB ± 0,2 %	» 95.—
ZD 433	3 Digit DAC	20 µs	½ LSB ± 0,1 %	» 190.—
ZD 460	8 bit ADC	50 µs	½ LSB ± 0,1 %	» 237.—
ZD 461	10 bit ADC	100 µs	½ LSB ± 0,1 %	» 332.—
ZD 462	12 bit ADC	100 µs	½ LSB ± 0,05 %	» 463.—
ZD 470	8 bit ADC	15 µs	½ LSB ± 0,1 %	» 378.—
ZD 471	10 bit ADC	30 µs	½ LSB ± 0,1 %	» 463.—
ZD 472	12 bit ADC	40 µs	½ LSB ± 0,05 %	» 694.—

baerlocher ag
Postfach 485, 8021 Zürich, Tel. 01 42 99 00

Auszug aus CERN Courier April 1972



Auszug aus der Doktorarbeit von William Thomas Wilkie April 1973



Die fertiggestellte Baugruppe

Die Inbetriebnahme

Die Inbetriebnahme wurde am 15.09.2018 durchgeführt.

Vorbereitung:

Es wird der Testadapter SP2-040 mit der Schablone „MEM I/O BUS" verwendet.
Dieser wird mit dem Behelfs-Schaltnetzteil aus der ersten Ausbaustufe mit 5V versorgt.
Ausserdem wird ein DMM und ein Oszilloskop benötigt.

Schritt 1:
Decoder U1001

Anlegen der Adresse mem_adr = FF FF FF FF.
An U1002/1 stellt sich ein L-Pegel ein.

Nacheinander wird jeweils ein Adressbit aus mem_adr31..mem_adr24 auf L gestellt.
Damit geht jedes Mal das Signal an U1002/1 auf H.

Schritt 2:
Decoder U1002 mit Beschaltung

Anlegen der Adresse mem_adr = FF FF FF FF.
An U1005/6 stellt sich ein H-Pegel ein.

mem_adr31 wird kurzzeitig auf L gestellt.
An U1005/6 stellt sich ein L-Pegel ein.

mem_adr31 wird wieder auf H gestellt.

Nacheinander wird jeweils ein Adressbit aus mem_adr23..mem_adr16 auf L gestellt.
Damit geht jedes Mal das Signal an U1005/6 auf L.

mem_ adr23..mem_adr16 wird wieder auf FF gestellt.

Nacheinander wird jeweils ein Kurzschlussstecker an jede Position von J1001 gesteckt.
Damit geht jedes Mal das Signal an U1005/6 auf L.

Schritt 3:
Decoder U1003 und U1004 mit Beschaltung

Die Steckbrücke in J1003 wird so gesteckt, dass sie die Pins 2 und 3 verbindet.

Anlegen der Adresse mem_adr = FF FF FF FF.
An U1005/4 stellt sich ein L-Pegel ein.

Nacheinander wird jeweils ein Adressbit aus mem_adr15..mem_adr8 auf L gestellt.
Damit geht jedes Mal das Signal an U1005/4 auf H.

Nacheinander wird jeweils ein Kurzschlussstecker an jede Position von J1002 gesteckt.
Damit geht jedes Mal das Signal an U1005/4 auf H.

Nacheinander wird jeweils ein Adressbit aus mem_adr7..mem_adr3 auf L gestellt.
Damit geht jedes Mal das Signal an U1005/4 auf H.

Nacheinander wird jeweils ein Kurzschlussstecker an die ersten 5 Position von J1004 gesteckt.
(die Pins 11 und 12 von J1004 sind nicht beschaltet)
Damit geht jedes Mal das Signal an U1005/4 auf H.

Die Steckbrücke in J1003 wird so gesteckt, dass sie die Pins 1 und 2 verbindet.

mem_adr8 wird kurzzeitig auf L gestellt.
An U1005/4 bleibt der vorhandene L-Pegel bestehen.

mem_adr7 wird kurzzeitig auf L gestellt.
An U1005/4 stellt sich wie zuvor ein H-Pegel ein.

Schritt 4:
Decoder U1005

Anlegen der Adresse mem_adr = FF FF FF FF.
Die Steckbrücke in J1003 wird so gesteckt, dass sie die Pins 2 und 3 verbindet.
In J1001, J1002 und J1004 stecken keine Steckbrücken.

Das Signal #ram_we3 wird auf H gestellt.

An U1005/14 liegt ein H-Pegel an.
Das Signal #ram_we3 wird kurzzeitig auf L gestellt.
Damit geht auch das Signal an U1005/14 auf L.

mem_adr_2 wird auf L gestellt.
Das Signal #ram_we3 wird kurzzeitig auf L gestellt.
Damit geht auch das Signal an U1005/15 auf L.

Schritt 5:
Register U2001

Anlegen der Adresse mem_adr = FF FF FF FF.
Das Signal #ram_we3 wird auf H gestellt.

Die Taste RESET wird gedrückt.
Damit steht an den Dateneingängen von U2002 (Pins 12..7) 0000 0000 an.

an mem_d31.. mem_d 24 wird 0000 0001 eingestellt.
Die Taste #ram_we3 wird gedrückt.
Mit dem Loslassen der Tast erscheint an den Dateneingängen von U2002 (Pins 12..7) 0000 0001.

Dieser Ablauf wird mit 0000 0010, 0000 0100, ... bis 1000 0000 wiederholt.

Die Taste RESET wird gedrückt.
Damit steht an den Dateneingängen von U2001 (Pins 12..7) erneut 0000 0000 an.

Schritt 6:
Register U3001

Zunächst Anlegen der Adresse mem_adr = FF FF FF FF.

Anschliessend wird mem_adr_2 wird auf L gestellt.

Das Signal #ram_we3 wird auf H gestellt.

Die Taste RESET wird gedrückt.
Damit steht an den Dateneingängen von U3002 (Pins 12..7) 0000 0000 an.

an mem_d31.. mem_d 24 wird 0000 0001 eingestellt.
Die Taste #ram_we3 wird gedrückt.
Mit dem Loslassen der Tast erscheint an den Dateneingängen von U3002 (Pins 12..7) 0000 0001.

Dieser Ablauf wird mit 0000 0010, 0000 0100, ... bis 1000 0000 wiederholt.

Die Taste RESET wird gedrückt.
Damit steht an den Dateneingängen von U3002 (Pins 12..7) erneut 0000 0000 an.

Schritt 7:
Versorgungsspannungen für DACs

An den DACs U2002 und U3002 liegen die Versorgungsspannungen richtig an:

+5V an Pin18
+15V an Pin 32
-15V an Pin 33

Hierzu mussten die Pins 23 und 24 des DC/DC-Wandlers mit einem Silberdraht nach GND verbunden werden, da die entsprechende Verbindung nicht im Layout vorhanden war (Pin wurde von anderer Plane überlappt, funktionswidrig keine Fehlermeldung)

Schritt 8:
DAC U2002

Zunächst Anlegen der Adresse mem_adr = FF FF FF FF.
Anschliessend wird mem_adr_2 wird auf L gestellt.
Das Signal #ram_we3 wird auf H gestellt.

In J2002 wird eine Steckbrücke gesteckt.
J2001 bleibt offen.
Damit ist der Bereich 0..10V gewählt.

Die Taste RESET wird gedrückt.
Damit steht am Ausgang des DAC ca. 0V an.

Es wird 0000 0001 in das Register U2001 geschrieben.
Es steht eine Spannung von ca. 39mV am Ausgang an.

Es wird 0000 0010 in das Register U2001 geschrieben.
Es steht eine Spannung von ca. 78mV am Ausgang an.

Es wird 0000 0100 in das Register U2001 geschrieben.
Es steht eine Spannung von ca.156mV am Ausgang an.

Es wird 0000 1000 in das Register U2001 geschrieben.
Es steht eine Spannung von ca.313mV am Ausgang an.

Es wird 0001 0000 in das Register U2001 geschrieben.
Es steht eine Spannung von ca. 625mV am Ausgang an.

Es wird 0010 0000 in das Register U2001 geschrieben.
Es steht eine Spannung von ca.1,25V am Ausgang an.

Es wird 0100 0000 in das Register U2001 geschrieben.
Es steht eine Spannung von ca.2,5V am Ausgang an.

Es wird 1000 0000 in das Register U2001 geschrieben.
Es steht eine Spannung von ca.5V am Ausgang an.

Es wird 1111 1111 in das Register U2001 geschrieben.
Es steht eine Spannung von ca.9,96V am Ausgang an.

Die Taste RESET wird gedrückt.
Damit steht am Ausgang des DAC wieder 0V an.

Die Steckbrücke aus J2002 wird herausgenommen und in J2001 gesteckt.
Damit ist der Bereich –10V..+10V gewählt.

Damit steht am Ausgang des DAC -10V an.

Es wird 0000 0001 in das Register U2001 geschrieben.
Es steht eine Spannung von –9,92V am Ausgang an.

Es wird 0000 0010 in das Register U2001 geschrieben.
Es steht eine Spannung von –9,84V am Ausgang an.

Es wird 0000 0100 in das Register U2001 geschrieben.
Es steht eine Spannung von –9,69V am Ausgang an.

Es wird 0000 1000 in das Register U2001 geschrieben.
Es steht eine Spannung von –9,38V am Ausgang an.

Es wird 0001 0000 in das Register U2001 geschrieben.
Es steht eine Spannung von –8,75V am Ausgang an.

Es wird 0010 0000 in das Register U2001 geschrieben.
Es steht eine Spannung von –7,50V am Ausgang an.

Es wird 0100 0000 in das Register U2001 geschrieben.
Es steht eine Spannung von –5,00V am Ausgang an.

Es wird 1000 0000 in das Register U2001 geschrieben.
Es steht eine Spannung von 0V am Ausgang an.

Es wird 1111 1111 in das Register U2001 geschrieben.
Es steht eine Spannung von +19,92V am Ausgang an.

Es wird in den Bereich 0..10V zurückgestellt:
In J2002 wird eine Steckbrücke gesteckt.
J2001 bleibt offen.

Es wird die Taste RESET gedrückt.

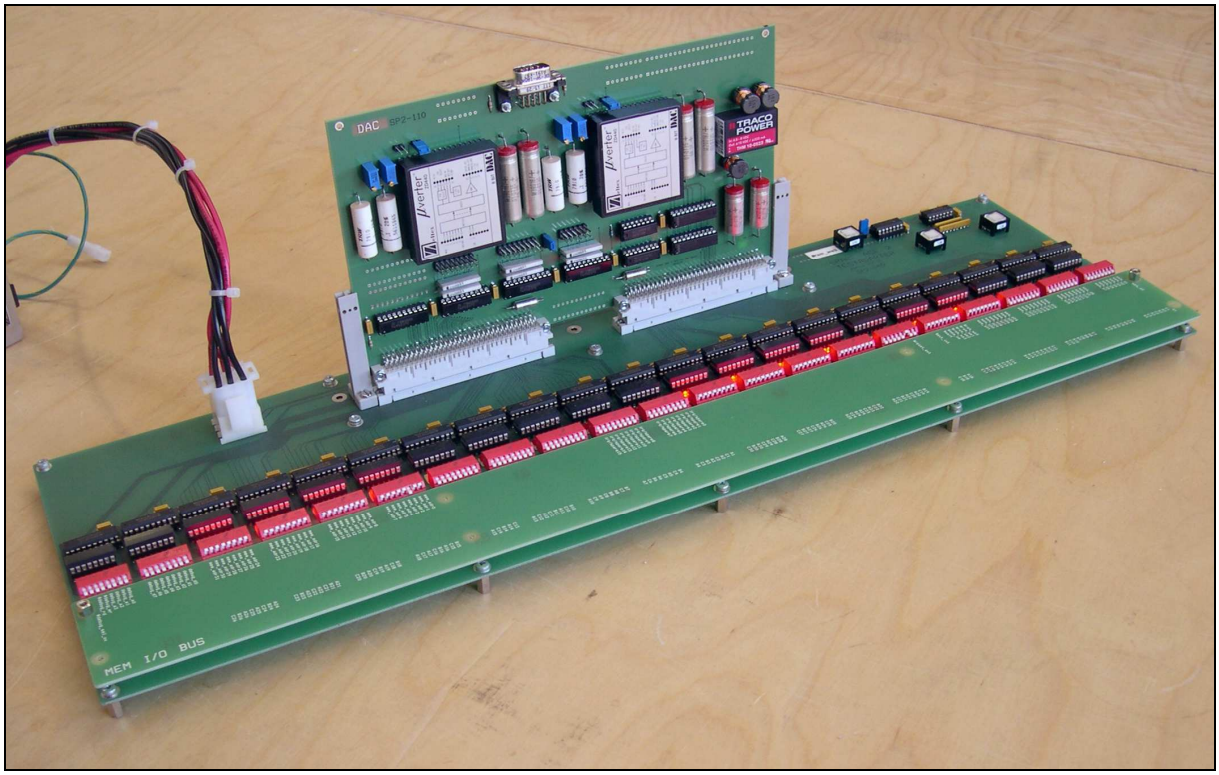
Mit P2001 wird die Ausgangsspannung auf 0V +/-1mV eingestellt.

Es wird 1111 1111 in das Register U2001 geschrieben.
Die Spannung am Ausgang wird auf 9,96V +/-5mV eingestellt.

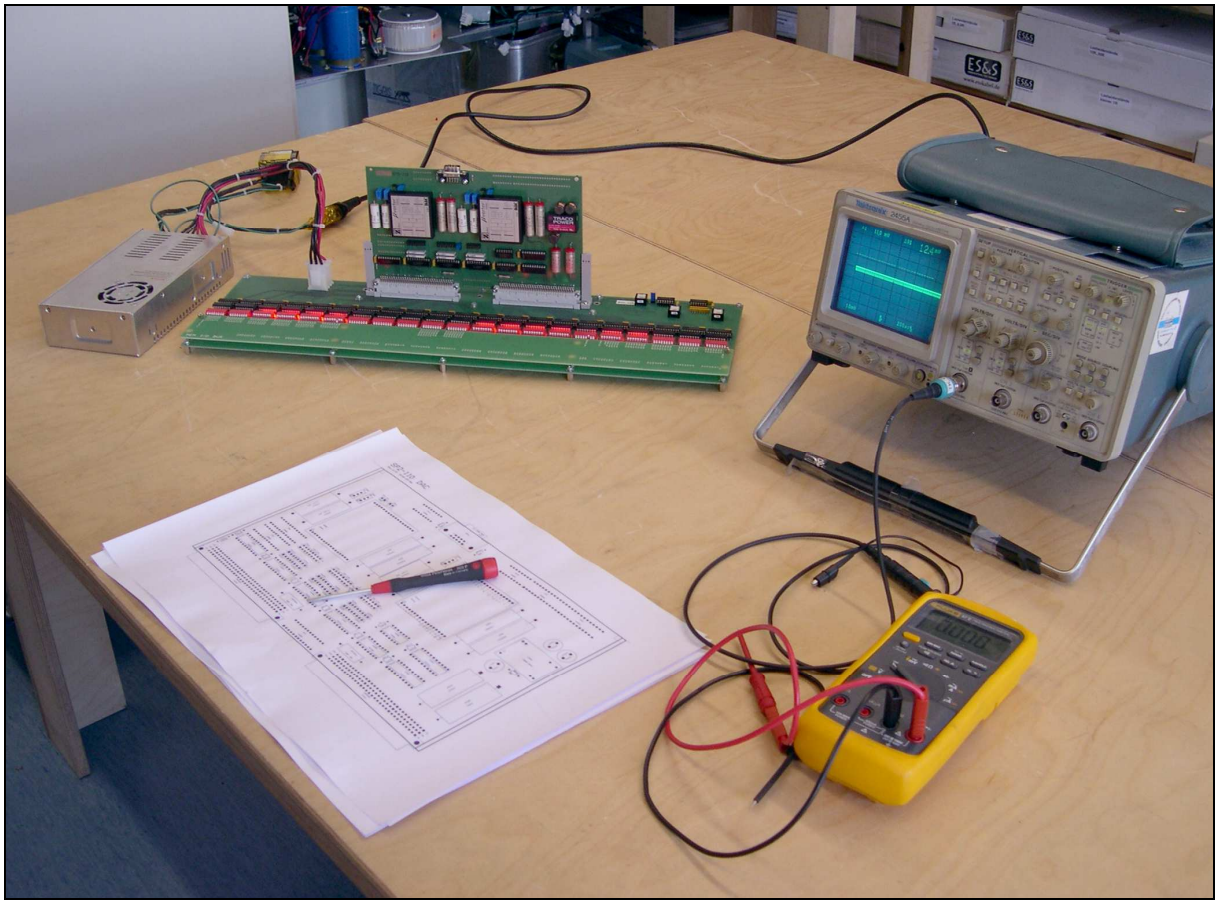
Schritt 9:

DAC U3002

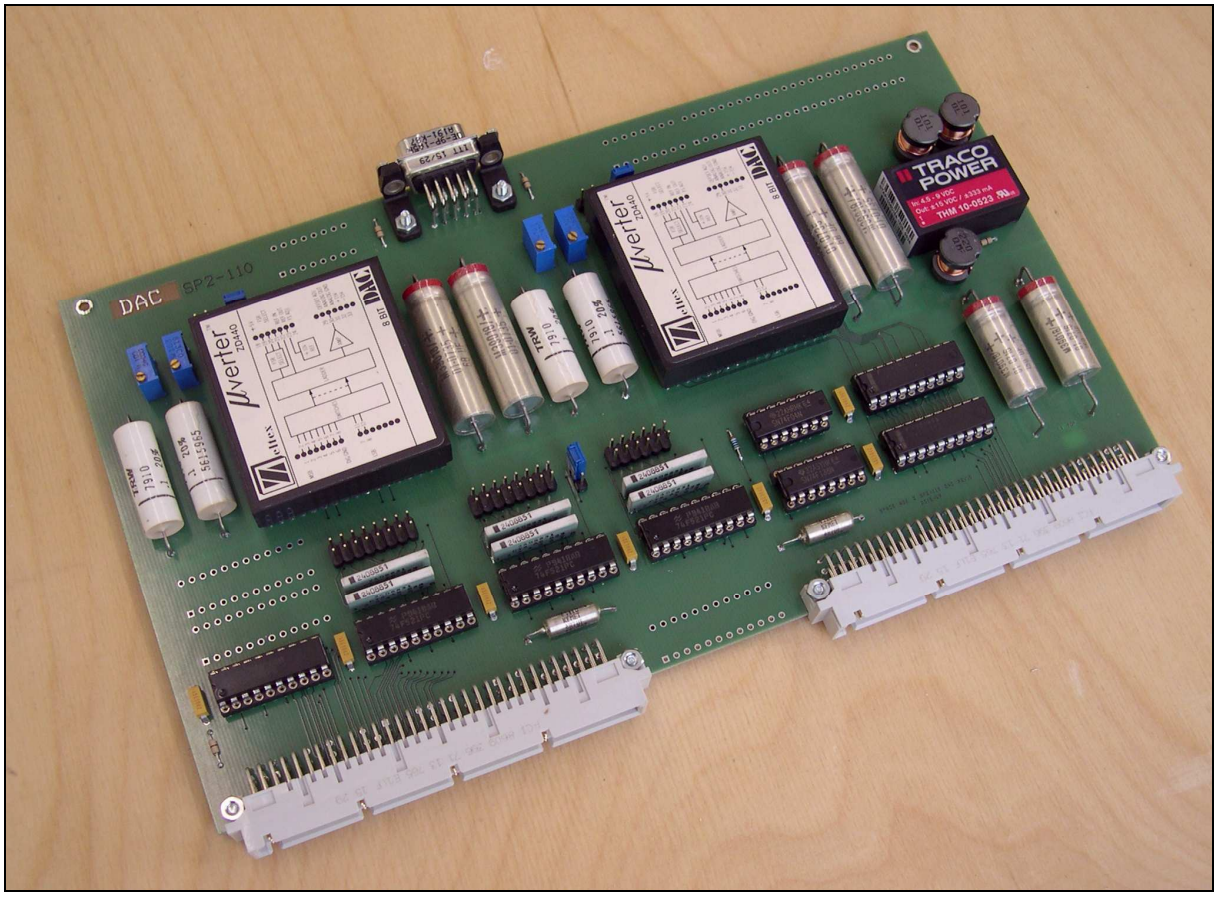
Sinngemäße Wiederholung von Schritt 8.
Dazu wird mem_adr_2 wieder auf H gestellt.



Die Adaption der Baugruppe im Testadapter SP2-040



Der gesamte Testaufbau



Die fertiggestellte Baugruppe